

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-148521

(43)Date of publication of application : 09.06.2005

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 2003-387660 (71)Applicant : VICTOR CO OF JAPAN LTD

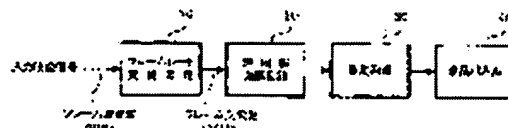
(22)Date of filing : 18.11.2003 (72)Inventor : AIBA HIDEKI

(54) IMAGE DISPLAY UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image display unit capable of reducing moving picture blurring.

SOLUTION: An active matrix type display panel 40 is a hold type display panel which has a plurality of pixels arranged in a matrix form, and holds and displays an electrical signal pixel by pixel for a predetermined time. A frame rate conversion circuit 10 converts a video signal having a first vertical frequency (60 Hz) into a video signal having a second vertical frequency (120 Hz) which is m/n-fold (wherein (m) is an integer of 2 or more, n is an integer of 1 or more, and conditions of $m > n$ are satisfied) of the first vertical frequency. A time base emphasizing circuit 20 subjects an output from the frame rate conversion circuit to time base emphasis. A drive circuit 30 displays the video signal having the second vertical frequency on a display panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-148521

(P2005-148521A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G02F 1/133 570	5C058
H04N 5/66	G09G 3/20 612L	5C080
	G09G 3/20 631D	
審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2003-387660 (P2003-387660)
(22) 出願日 平成15年11月18日 (2003.11.18)

(71) 出願人 000004329
日本ビクター株式会社
神奈川県横浜市神奈川区守屋町3丁目12番地
(72) 発明者 相羽 英樹
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
Fターム(参考) 2H093 NC11 NC21 NC34 ND01 ND04
ND32 ND34 ND60 NE07
5C006 AA01 AA11 AF03 AF04 AF06
AF19 AF44 AF45 AF46 AF51
AF52 AF53 AF61 AF71 BB16
BC16 BF02 BF14 BF24 BF28
FA29 FA56 GA02 GA03
5C058 AA06 BA25 BB13 BB25
最終頁に続く

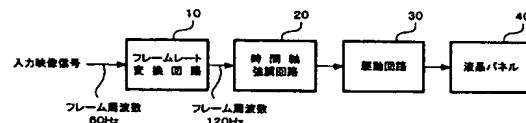
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 動画ばやけを低減することができる画像表示装置を提供する。

【解決手段】 アクティブマトリクス型表示パネル40は、マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するホールド型の表示パネルである。フレームレート変換回路10は、第1の垂直周波数(60Hz)を有する映像信号を、第1の垂直周波数の m/n 倍(ここで、 m は2以上の整数、 n は1以上の整数であり、 $m > n$ という条件を満たす)である第2の垂直周波数(120Hz)に変換する。時間軸強調回路20はフレームレート変換回路10の出力を時間軸強調する。駆動回路30は、第2の垂直周波数を有する映像信号を表示パネル40に表示する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するアクティブマトリクス型表示パネルを用いた画像表示装置において、

第 1 の垂直周波数を有する映像信号を、前記第 1 の垂直周波数の m/n 倍（ここで、 m は 2 以上の整数、 n は 1 以上の整数であり、 $m > n$ という条件を満たす）である第 2 の垂直周波数に変換して出力するレート変換回路と、

前記レート変換回路より出力された前記第 2 の垂直周波数を有する映像信号における隣接する 2 フレーム分の画像データを用いて時間軸方向の高域成分を強調する時間軸強調回路と、

前記時間軸強調回路より出力された前記第 2 の垂直周波数を有する映像信号を前記アクティブマトリクス型表示パネルに表示する駆動回路とを備えて構成したことを特徴とする画像表示装置。

10

【請求項 2】

前記レート変換回路は、

前記第 1 の垂直周波数を有する映像信号を書き込んで前記第 2 の垂直周波数の映像信号として出力する複数の画像メモリと、

前記複数の画像メモリより出力された画像データを用いて動きベクトルを検出する動きベクトル検出回路と、

前記複数の画像メモリより出力された画像データと前記動きベクトルとを用いて動き補償補間して、前記第 2 の垂直周波数の映像信号であり互いに 1 フレーム分ずれた関係にある画像データを出力する第 1 及び第 2 の内挿回路とを備え、

20

前記時間軸強調回路は、前記隣接する 2 フレーム分の画像データとして前記第 1 及び第 2 の内挿回路より出力された画像データを用いて時間軸方向の高域成分を強調することを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】

前記レート変換回路は、

前記第 1 の垂直周波数を有する映像信号を書き込んで前記第 2 の垂直周波数の映像信号として出力する複数の画像メモリと、

前記複数の画像メモリより出力された画像データを用いて動きベクトルを検出する動きベクトル検出回路と、

30

前記複数の画像メモリより出力された画像データと前記動きベクトルとを用いて動き補償補間して、前記第 2 の垂直周波数の映像信号を出力する内挿回路と、

前記複数の画像メモリより出力された画像データと前記内挿回路より出力された画像データとを選択的に出力することにより互いに 1 フレーム分ずれた関係にある画像データを出力する第 1 及び第 2 のセレクトとを備え、

前記時間軸強調回路は、前記隣接する 2 フレーム分の画像データとして前記第 1 及び第 2 のセレクトより出力された画像データを用いて時間軸方向の高域成分を強調することを特徴とする請求項 1 記載の画像表示装置。

【請求項 4】

40

マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するアクティブマトリクス型表示パネルを用いた画像表示装置において、

第 1 の垂直周波数を有する映像信号を、前記第 1 の垂直周波数の m/n 倍（ここで、 m は 3 以上の整数、 n は 2 以上の整数であり、 $m > n$ かつ m/n は整数にならないという条件を満たす）である第 2 の垂直周波数に変換して出力するレート変換回路と、

前記レート変換回路より出力された前記第 2 の垂直周波数を有する映像信号における隣接する 2 フレーム分の画像データを用いて時間軸方向の高域成分を強調する時間軸強調回路と、

前記時間軸強調回路より出力された前記第 2 の垂直周波数を有する映像信号を前記アクティブマトリクス型表示パネルに表示する駆動回路とを備えて構成したことを特徴とする

50

画像表示装置。

【請求項 5】

$m = 3$ 、 $n = 2$ であることを特徴とする請求項 4 記載の画像表示装置。

【請求項 6】

前記第 2 の垂直周波数は 100 Hz 以下であることを特徴とする請求項 4 記載の画像表示装置。

【請求項 7】

前記第 2 の垂直周波数を有する映像信号のサンプリング周波数（垂直周波数×垂直ライン数×水平画素数）は 100 MHz 以下であることを特徴とする請求項 4 記載の画像表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に代表されるホールド型の画像表示装置に係り、動画像のぼやけ感を低減することができる画像表示装置に関する。

【背景技術】

【0002】

画像表示装置には、陰極線管（CRT）を用いた表示装置のように画像の書き込みの瞬間に強く発光するインパルス型表示装置と、各画素毎にメモリ機能を持ったアクティブマトリクス型表示装置のように画像が書き込まれてから次のフレームの画像が書き込まれるまで表示を保持しているホールド型表示装置とがある。アクティブマトリクス型表示装置としては、薄膜トランジスタ（TFT）を用いた液晶表示装置がある。液晶表示装置では、画素毎に配置された TFT とコンデンサとによって画素に書き込まれた画像を一定時間保持する。

20

液晶表示装置は応答速度が遅いため、動画を表示したときに残像を生じるという問題点がある。この問題点を低減する方法の 1 つとして、映像信号を時間軸方向に強調するフィルタ（時間軸強調回路）を用いる方法がある。

【0003】

ところが、液晶表示装置のようなホールド型表示装置においては、液晶の応答速度をいくら高速にしてもホールド表示そのものに起因する視覚系積分の影響による動画像のぼやけ感（以下、動画ぼやけ）を解決することはできない。

30

この問題点及びその解決策は下記の非特許文献 1 に記載されている。なお、動画ぼやけは液晶表示装置のみならず、有機エレクトロルミネセンス表示装置であってもアクティブマトリクス型の場合には同様に発生する。非特許文献 1 には動画ぼやけの解決策として、ホールド時間を短くしてインパルス型の表示に近づける第 1 の方法と、フレーム周波数が 60 Hz である入力映像信号のフレーム周波数を動き補償手段によって 2 倍の 120 Hz に高速化する第 2 の方法とが記載されている。

【非特許文献 1】栗田泰市郎，「液晶ディスプレイで生じる原理的な動画質劣化とその改善法」，信学技報 EID 2000-47（2000-09），p. 13-18

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記の第 1 の方法においては、映像信号と同期させてバックライトをシャットする手段が必要となると共に、ホールド型表示の利点であるちらつきのない表示が損なわれてしまうという欠点（第 1 の問題点）がある。上記の第 2 の方法においては、フレーム周波数を 2 倍に上げるために、映像信号のサンプリング周波数及び液晶の書き込み速度をそれぞれ 2 倍にしなければならず、回路の動作速度や回路間の接続インターフェースにとって大きな負担となり、実現上の困難さを伴うという欠点（第 2 の問題点）がある。

【0005】

50

本発明はこのような問題点に鑑みなされたものであり、ちらつきのない表示を行うことができるというホールド型表示の利点を損なうことなく、動画ぼやけを低減することができる画像表示装置を提供することを目的とする。また、動画ぼやけを低減するに際し、回路の動作速度や回路間の接続インターフェースにとっての負担が少なく実現が容易な画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明は、上述した従来の技術の課題を解決するため、マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するアクティブマトリクス型表示パネルを用いた画像表示装置において、第1の垂直周波数を有する映像信号を、前記第1の垂直周波数の m/n 倍（ここで、 m は2以上の整数、 n は1以上の整数であり、 $m > n$ という条件を満たす）である第2の垂直周波数に変換して出力するレート変換回路（10, 10', 10''）と、前記レート変換回路より出力された前記第2の垂直周波数を有する映像信号における隣接する2フレーム分の画像データを用いて時間軸方向の高域成分を強調する時間軸強調回路（20, 20'）と、前記時間軸強調回路より出力された前記第2の垂直周波数を有する映像信号を前記アクティブマトリクス型表示パネルに表示する駆動回路（30）とを備えて構成したことを特徴とする画像表示装置を提供する。 10

好ましい実施形態として、前記レート変換回路は、前記第1の垂直周波数を有する映像信号を書き込んで前記第2の垂直周波数の映像信号として出力する複数の画像メモリ（101, 102）と、前記複数の画像メモリより出力された画像データを用いて動きベクトルを検出する動きベクトル検出回路（103）と、前記複数の画像メモリより出力された画像データと前記動きベクトルとを用いて動き補償補間して、前記第2の垂直周波数の映像信号であり互いに1フレーム分ずれた関係にある画像データを出力する第1及び第2の内挿回路（1041, 1042）とを備え、前記時間軸強調回路は、前記隣接する2フレーム分の画像データとして前記第1及び第2の内挿回路より出力された画像データを用いて時間軸方向の高域成分を強調することを特徴とする画像表示装置を提供する。 20

また、好ましい実施形態として、前記レート変換回路は、前記第1の垂直周波数を有する映像信号を書き込んで前記第2の垂直周波数の映像信号として出力する複数の画像メモリ（101, 102）と、前記複数の画像メモリより出力された画像データを用いて動きベクトルを検出する動きベクトル検出回路（103）と、前記複数の画像メモリより出力された画像データと前記動きベクトルとを用いて動き補償補間して、前記第2の垂直周波数の映像信号を出力する内挿回路（104）と、前記複数の画像メモリより出力された画像データと前記内挿回路より出力された画像データとを選択的に出力することにより互いに1フレーム分ずれた関係にある画像データを出力する第1及び第2のセレクタ（1051, 1052）とを備え、前記時間軸強調回路は、前記隣接する2フレーム分の画像データとして前記第1及び第2のセレクタより出力された画像データを用いて時間軸方向の高域成分を強調することを特徴とする画像表示装置を提供する。 30

【 0 0 0 7 】

さらに、本発明は、上述した従来の技術の課題を解決するため、マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するアクティブマトリクス型表示パネルを用いた画像表示装置において、第1の垂直周波数を有する映像信号を、前記第1の垂直周波数の m/n 倍（ここで、 m は3以上の整数、 n は2以上の整数であり、 $m > n$ でかつ m/n は整数にならないという条件を満たす）である第2の垂直周波数に変換して出力するレート変換回路（11）と、前記レート変換回路より出力された前記第2の垂直周波数を有する映像信号における隣接する2フレーム分の画像データを用いて時間軸方向の高域成分を強調する時間軸強調回路（21）と、前記時間軸強調回路より出力された前記第2の垂直周波数を有する映像信号を前記アクティブマトリクス型表示パネルに表示する駆動回路（31）とを備えて構成したことを特徴とする画像表示装置を提供する。 40

好ましくは、 $m = 3$ 、 $n = 2$ である。また、好ましくは、前記第2の垂直周波数は10 50

0 Hz 以下である。さらにまた、好ましくは、前記第 2 の垂直周波数を有する映像信号のサンプリング周波数（垂直周波数×垂直ライン数×水平画素数）は 1 0 0 M H z 以下である。

【発明の効果】

【0 0 0 8】

本発明によれば、ちらつきのない表示を行うことができるというホールド型表示の利点を損なうことなく、動画ぼやけを低減することができる。本発明は、回路の動作速度や回路間の接続インターフェースにとっての負担が少なく容易に実現可能である。また、バックライトをシャッタする等の特別な回路を必要としないので、コストアップも少ない。

【発明を実施するための最良の形態】

【0 0 0 9】

以下、本発明の画像表示装置について、添付図面を参照して説明する。図 1 は本発明の画像表示装置の第 1 実施形態を示すブロック図、図 2 は図 1 中のフレームレート変換回路 1 0 の具体的構成例を示すブロック図、図 3 は図 1 中のフレームレート変換回路 1 0 の動作を説明するための図、図 4 は図 1 中の時間軸強調回路 2 0 の具体的構成例を示すブロック図、図 5 及び図 6 は第 1 実施形態による効果を説明するための図、図 7 は本発明の画像表示装置の第 2 実施形態を示す部分ブロック図、図 8 は第 2 実施形態の動作を説明するためのタイミング図、図 9 は本発明の画像表示装置の第 3 実施形態を示す部分ブロック図、図 1 0 は本発明の画像表示装置の第 4 実施形態を示すブロック図、図 1 1 は第 4 実施形態の具体的構成例を示す部分ブロック図、図 1 2 は図 1 0 中のフレームレート変換回路 1 1 20 の動作を説明するための図、図 1 3 は第 4 実施形態の動作を説明するためのタイミング図、図 1 4 はホールド型表示で発生する動画ぼやけを説明するための図である。

【0 0 1 0】

< 第 1 実施形態 >

第 1 実施形態は上述した第 1 の問題点を解決するものである。図 1 において、映像信号はフレームレート変換回路 1 0 に入力される。フレームレート変換回路 1 0 は入力された映像信号のフレーム周波数（垂直周波数）を 2 倍に変換して出力する。第 1 実施形態及び後述する第 2、第 3 実施形態では、入力映像信号（原信号）のフレーム周波数を m/n 倍に変換する。ここで、 m は 2 以上の整数、 n は 1 以上の整数であり、 $m > n$ という条件を満たす。第 1 ~ 第 4 実施形態では、 $m = 2$ 、 $n = 1$ とし、入力映像信号のフレーム周波数 30 Hz を 60 Hz に変換する。30

なお、フレーム周波数 30 Hz で 2 : 1 インターレースの映像信号については、予め順次走査変換によって、フレーム周波数 60 Hz の順次走査の映像信号に変換されているものとする。フレームレート変換回路 1 0 の具体的構成及び動作は後述する。

【0 0 1 1】

フレームレート変換回路 1 0 より出力されたフレーム周波数 60 Hz の映像信号は時間軸強調回路 2 0 に入力される。時間軸強調回路 2 0 は入力された映像信号の時間軸方向の高域成分を強調して出力する。フレームレート変換回路 1 0 及び時間軸強調回路 2 0 の具体的構成及び動作は後述する。時間軸強調回路 2 0 より出力された映像信号は駆動回路 3 0 に入力され、駆動回路 3 0 はホールド型表示装置（表示パネル）の一例としての液晶パネル 4 0 を駆動してフレーム周波数 60 Hz の映像信号を表示する。表示パネルは液晶パネルに限定されることはなく、マトリクス状に配列された複数の画素を有し、電気信号を各画素毎に所定時間保持して表示するアクティブマトリクス型表示パネルであればよい。40

【0 0 1 2】

フレーム周波数変換回路 1 0 は一例として図 2 のように構成される。図 2 において、入力映像信号は画像メモリ 1 0 1 及び 1 0 2 に書き込まれる。画像メモリ 1 0 1、1 0 2 からはそれぞれ 1 フレーム分、合わせて 2 フレーム分の画像データが書き込み速度の 2 倍の速度で同時に読み出される。但し、画像メモリ 1 0 2 より出力される画像データは画像メモリ 1 0 1 より出力される画像データに対して 1 / 60 秒遅延されたものである。50

画像メモリ 101, 102 より出力された画像データは動きベクトル検出回路 103 と内挿回路 104 に供給される。動きベクトル検出回路 103 は一例としてマッチング法を用いてフレーム間の動きベクトルを検出する。内挿回路 104 は画像メモリ 101, 102 から読み出された 2 フレーム分の画像データと動きベクトル検出回路 103 からの動きベクトルデータとから動き補償補間を行ってフレーム周波数 120 Hz の映像信号を出力する。

【 0 0 1 3 】

内挿回路 104 における動き補償補間は、フレーム周波数の変換比率が 2 倍であることから、図 3 に示すようにベクトル移動を行うものである。図 3 において、(A) は内挿回路 104 への入力映像信号を、(B) は内挿回路 104 からの出力映像信号を示している。10
入力映像信号のフレーム番号を $F_1, F_2, F_3 \dots$ とし、出力映像信号のフレーム番号を $f_{1a}, f_{1b}, f_{2a}, f_{2b}, f_{3a} \dots$ とする。フレーム F_1 からフレーム f_{1a} への変換と、フレーム F_2 からフレーム f_{2a} への変換とフレーム F_3 からフレーム f_{3a} への変換は時間位相が一致しているので、ベクトル移動を行わない。フレーム f_{1b} はベクトル移動を行ってフレーム F_1, F_2 間に挿入され、フレーム f_{2b} はベクトル移動を行ってフレーム F_2, F_3 間に挿入される。

【 0 0 1 4 】

図 3 (A), (B) の右側には、フレーム $F_1 \sim F_3$, フレーム $f_{1a} \sim f_{3a}$ に渡る物体 O の移動の様子を示している。図 3 (A) において、物体 O はフレーム F_1 における位置からフレーム F_2 における位置へと動きベクトル V_1 にて移動し、フレーム F_2 における位置からフレーム F_3 における位置へと動きベクトル V_2 にて移動する。図 3 (B) において、フレーム f_{1a}, f_{2a}, f_{3a} における物体 O の位置はそれぞれフレーム F_1, F_2, F_3 と同じである。フレーム f_{1b} の画像を生成するには、フレーム F_1 の画像を $V_1/2$ だけ移動させればよく、フレーム f_{2b} の画像を生成するには、フレーム F_2 の画像を $V_2/2$ だけ移動させればよい。20

【 0 0 1 5 】

図 3 に示す例では、フレーム f_{1b} を生成する際にはフレーム F_1 の画像データのみを用い、フレーム f_{2b} を生成する際にはフレーム F_2 の画像データのみを用いているが、前後のフレームを混合してもよい。フレーム F_1, F_3 の画像データを合成してもよい。この場合、フレーム f_{1b} は、フレーム F_1 の画像を $V_1/2$ だけ移動した F_1' とフレーム F_2 の画像を $-V_1/2$ だけ移動した F_2' を求め、 F_1' と F_2' を 1 : 1 の割合で混合することによって得られる。また、フレーム f_{2b} は、フレーム F_2 の画像を $V_2/2$ だけ移動した F_2'' とフレーム F_3 の画像を $-V_2/2$ だけ移動した F_3' を求め、 F_2'' と F_3' を 1 : 1 の割合で混合することによって得られる。ここに示す混合比は一例であり、この例に限定されるものではない。30

このように、出力映像信号のフレームを生成する際に、1 つのフレームだけでなく複数のフレームを用いて内挿を行うと、ノイズを低減することができるという効果を奏する。

【 0 0 1 6 】

時間軸強調回路 20 は一例として図 4 のように構成される。図 4 において、フレームレート変換回路 10 より出力されたフレーム周波数 120 Hz の映像信号を f_{in} とすると、映像信号 f_{in} は画像メモリ 201 に入力されて、1 フレーム遅延した映像信号 f_{out} として出力される。減算器 202 は映像信号 f_{in} から映像信号 f_{out} を減算して、映像信号 f_{in} と映像信号 f_{out} との差分を乗算器 203 に供給する。乗算器 203 は入力された差分に係数 a を乗算して加算器 204 に供給する。加算器 204 は映像信号 f_{in} と乗算器 203 の出力とを加算して出力信号 g として出力する。出力信号 g は次の (1) 式にて表される。40

$$g = f_{in} + a (f_{in} - f_{out}) \quad \dots (1)$$

係数 a は液晶の応答特性に応じて設定される。応答が比較的速く残像が少ない場合には a を小さく設定し、応答が遅く残像が多い場合には a を大きく設定する。

【 0 0 1 7 】

図 5 及び図 6 は第 1 実施形態による効果を示している。図 5 は黒、白、黒と並んだ矩形波形が水平方向に平行移動した場合の表示状態を示しており、(A) はフレーム周波数変換回路 10 によるフレームレート変換前のフレーム周波数 60 Hz の映像信号による表示状態、(B) はフレーム周波数変換回路 10 によるフレームレート変換後で、時間軸強調回路 20 による時間軸強調前のフレーム周波数 120 Hz の映像信号による表示状態、(C) はフレーム周波数変換回路 10 によるフレームレート変換及び時間軸強調回路 20 による時間軸強調後のフレーム周波数 120 Hz の映像信号による表示状態である。図 5 (A) ~ (C) に示すように、水平方向に平行移動する黒、白、黒の矩形波形を、時間 t 方向に並べて表示している。

【 0 0 1 8 】

あるフレームから次のフレームに移って、黒、白、黒の矩形波形が水平方向に平行移動する際、白から黒、黒から白へと切り替わる部分において、人間の目には像が積分されて写る視覚系の積分という現象が起こるため、図 5 (A) ~ (C) にそれぞれ示すように、黒から白へ及び白から黒へとただらかに切り替わるように見え、動画ぼやけが発生することとなる。図 5 (A) ~ (C) に示すように、視覚系の積分による動画ぼやけは、ホールディング表示を行うことに起因するぼやけ a と、液晶の応答速度に起因するぼやけ b とよりなる。フレーム周波数 60 Hz の図 5 (A) では、ぼやけ a とぼやけ b のいずれも大きい。フレーム周波数 120 Hz の図 5 (B) では、ぼやけ a の幅が狭くなり、動画ぼやけが改善されている。但し、ぼやけ b は改善されていない。フレーム周波数 120 Hz で時間軸強調した図 5 (C) では、ぼやけ b の幅も狭くなり、動画ぼやけがさらに改善されている。

図 6 (A), (B) はそれぞれ図 5 (B), (C) における一点鎖線にて示す断面 p における電圧・光応答を示している。時間軸強調回路 20 による時間軸強調によって電圧・光応答は図 6 の (A) から (B) へと補正され、フレーム単位での表示特性が改善される。

【 0 0 1 9 】

< 第 2 実施形態 >

第 2 実施形態は図 1 におけるフレームレート変換回路 10 と時間軸強調回路 20 との具体的構成を改良したものであり、具体的には図 4 における画像メモリ 201 を削除し、画像メモリ 201 の削除に伴ってフレームレート変換回路 10 の具体的構成を変更している。第 2 実施形態におけるフレームレート変換回路と時間軸強調回路をそれぞれフレームレート変換回路 10', 時間軸強調回路 20' と称することとする。図 7 において、図 2 及び図 4 と同一部分には同一符号を付し、その説明を適宜省略することがある。

【 0 0 2 0 】

図 7 において、画像メモリ 101, 102 より出力された画像データは動きベクトル検出回路 103 と内挿回路 1041, 1042 に供給される。内挿回路 1041 は、図 2 の内挿回路 104 と実質的に同じであり、画像メモリ 101, 102 から読み出された 2 フレーム分の画像データと動きベクトル検出回路 103 からの動きベクトルデータとから動き補償補間を行って、現在フレームの画像データを出力する。内挿回路 1042 は、画像メモリ 101, 102 から読み出された 2 フレーム分の画像データと動きベクトル検出回路 103 からの動きベクトルデータとから動き補償補間を行って、1 フレーム前の画像データを出力する。

内挿回路 1041 より出力された画像データは減算器 202 及び加算器 204 に供給され、内挿回路 1042 より出力された画像データは減算器 202 に供給される。

【 0 0 2 1 】

ここで、図 8 を用いてフレームレート変換回路 10' の動作タイミングについて説明する。図 8 において、(A) はフレーム周波数 60 Hz の入力映像信号の画像データであり、(B), (C) に示すように、画像メモリ 101, 102 から 2 回同じ画像データが読み出されてフレーム周波数 120 Hz の映像信号とされる。画像メモリ 102 より出力される画像データは画像メモリ 101 より出力される画像データに対して 1/60 秒遅延している。便宜上、図 8 (B) ~ (F) のタイミングを図 8 (A) タイミングに対して一点鎖線で示すようにずらして図示している。

10

20

30

40

50

動きベクトル検出回路103は、図8(D)に示すように、画像メモリ101、102より出力された画像データを用いて動きベクトル $V_1, V_1, V_1, V_1, \dots$ を検出する。内挿回路1041は、図8(E)に示すように、フレームタイミング t_{1a} にてフレーム f_{1b} を出力し、フレームタイミング t_{1b} にてフレーム f_{2a} を出力する。内挿回路1042は、図8(F)に示すように、フレームタイミング t_{1a} にてフレーム f_{1a} を出力し、フレームタイミング t_{1b} にてフレーム f_{1b} を出力する。

【0022】

図8の(E)と(F)とを比較すれば分かるように、図8(F)の画像データは図8(E)の画像データより120Hz周期で1フレーム分遅延しているため、第2実施形態の時間軸強調回路20'においては、図4の時間軸強調回路20のように画像メモリ201 10を設ける必要はない。従って、第2実施形態は、第1実施形態よりも画像メモリを少なくすることができ、コスト削減が可能である。

【0023】

<第3実施形態>

第3実施形態は第2実施形態のフレームレート変換回路10'をさらに簡略化したものであり、第3実施形態におけるフレームレート変換回路をフレームレート変換回路10''と称することとする。図9において、図2、図4、図7と同一部分には同一符号を付し、その説明を適宜省略することがある。

画像メモリ101、102より出力された画像データは動きベクトル検出回路103と内挿回路104とセクタ1051、1052に供給される。内挿回路104によって動き補償補 20間されて出力された画像データはセクタ1051、1052に供給される。

セクタ1051より出力された画像データは減算器202及び加算器204に供給され、セクタ1052より出力された画像データは減算器202に供給される。

【0024】

セクタ1051、1052は、図8のフレームタイミング t_{1a} で“0”側を選択し、フレームタイミング t_{1b} で“1”側を選択する。図3にて説明したように、ベクトル移動を伴う内挿画像の生成は、フレーム f_{1b}, f_{2b}, \dots に限られ、動きベクトル検出回路103の結果によって内挿処理した画像データを出力するのは、1つのフレームタイミングでセクタ1051、1052のいずれか一方だけであるため、図9のように簡略化した構成とすることができる。 30

第3実施形態では、第2実施形態と比較してセクタ1051、1052が必要となるが、回路規模が比較的大きい内挿回路が内挿回路104の1つのみとなるので、さらにコスト削減が可能である。

【0025】

<第4実施形態>

第4実施形態は上述した第1及び第2の問題点を解決するものである。図14を用いてホールド型表示装置における動画ぼやけの発生とその低減の原理について改めて説明する。図14は図5、図6で説明したような時間軸強調を行っていないおらず、液晶の応答速度に起因するぼやけbを無視してホールド表示を行うことに起因するぼやけaのみが発生した状態を図示している。 40

図14は黒、白、黒と並んだ矩形波形が水平方向に平行移動した場合の表示状態を示している。なお、映像信号(原信号)のフレーム周波数をNTSC方式等の60Hzとする。図14において、(A)はフレーム周波数を原信号のままの60Hzとした場合、(B)は後述する第4実施形態の好適な一例であるフレーム周波数を原信号の3/2倍の90Hzとした場合、(C)は上述した非特許文献1に記載されており、上述した第1～第3実施形態のようにフレーム周波数を原信号の2倍の120Hzとした場合である。図14(A)～(C)に示すように、水平方向に平行移動する黒、白、黒の矩形波形を、時間t方向に並べて表示している。

【0026】

あるフレームから次のフレームに移って、黒、白、黒の矩形波形が水平方向に平行移動 50

する際、白から黒、黒から白へと切り替わる部分において、人間の目には像が積分されて写る視覚系の積分という現象が起こるため、図14(A)～(C)にそれぞれ示すように、黒から白へ及び白から黒へとなだらかに切り替わるように見える。従って、図14(A)～(C)それぞれに示す幅の動画ぼやけが発生することとなる。図14(A)～(C)より分かるように、フレーム周波数が高くなるに従って動画ぼやけの幅は小さくなる。図14(C)のフレーム周波数120Hzにおいては、非特許文献1に記載のように、50%デューティの間欠表示と同様の効果が得られる。図14(B)のフレーム周波数90Hzにおいては、約67%デューティの間欠表示と同程度の効果が得られる。

【0027】

以上の説明より分かるように、フレーム周波数を上げれば上げるほどインパルス型表示に近付き、動画ぼやけはより低減されることになる。しかしながら、フレーム周波数を2倍を越える整数倍に上げたとしても、液晶の応答速度の限界があり、フレーム周波数を上げる効果が薄れてしまう。よって、フレーム周波数を上げれば上げるほどいいというものではない。現在、最も主流のWXGAの画素数は1280ドット×768ラインであり、ブランキング期間を無視して有効映像期間だけのサンプリング周波数を計算すると、フレーム周波数120Hzの場合、サンプリング周波数は118MHzとなる。この118MHzというサンプリング周波数は回路の動作速度や、回路間（例えば、フレームレート変換回路と駆動回路との間）の接続インターフェースにとって極めて大きな負担となる。従って、フレーム周波数を120Hzとすることは実現上の困難さを伴い、現実の製品として採用することは難しい。

【0028】

そこで第4実施形態は、動画ぼやけを効果的に低減することができ、かつ、現実の製品として採用することができるフレーム周波数（垂直周波数）について鋭意検討したものである。第4実施形態では、入力映像信号（原信号）のフレーム周波数を m/n 倍に変換する。ここで、 m は3以上の整数、 n は2以上の整数であり、 $m > n$ でかつ m/n は整数にならないという条件を満たす。 m 、 n の好適な例としては、 $m=3$ 、 $n=2$ である。以下詳述する第4実施形態では、 $m=3$ 、 $n=2$ とし、入力映像信号のフレーム周波数60Hzを90Hzに変換する。本発明者は、フレーム周波数を上述した非特許文献1に記載されている120Hzにしなくても、90Hzで動画ぼやけを十分効果的に低減できることを実験によって確認した。表示パネルの表示動作能力を考慮すると、変換後のフレーム周波数は100Hz以下とするのがよい。

【0029】

フレーム周波数が90Hzの場合、上記のように約67%デューティの間欠表示と同程度の効果があり、シャッタ期間が約33%である場合に相当する。このシャッタ期間は時間に換算すると約5.56msである。これは、液晶の応答速度の改善度としては相当大的なものである。さらに、フレーム周波数が90Hzの場合、映像信号のサンプリング周波数は原信号のサンプリング周波数の1.5倍であり、約88.5MHzでよい。この約88.5MHzというサンプリング周波数は、現状の集積回路（IC）の動作速度にとって、また、回路間の接続インターフェースにとって十分に実現可能な値である。

【0030】

ところで、1280ドット×720ライン（いわゆる720Pフォーマット）の液晶パネルが使われることも多い。この場合、フレーム周波数90Hzでのサンプリング周波数は約82.9MHzであり、実現が容易であり、現実の製品として採用可能であることが分かる。なお、フレーム周波数120Hzとすると、サンプリング周波数は110.6MHzとなってしまう。フレーム周波数変換後の映像信号のサンプリング周波数（フレーム周波数×垂直ライン数×水平画素数）が100MHz以下であることが好ましい。サンプリング周波数が100MHz以下であれば、集積回路の動作速度や回路間の接続インターフェースの点からも支障となることはない。

【0031】

第4実施形態の全体構成例は図10に示す通りである。図10において、フレームレ

10

20

30

40

50

ト変換回路 11 にはフレーム周波数 60 Hz の順次走査信号である映像信号が入力される。フレームレート変換回路 11 は入力映像信号のフレーム周波数を $3/2$ 倍、即ち、90 Hz に変換して出力する。フレーム周波数 90 Hz の映像信号は時間軸強調回路 21 に入力される。時間軸強調回路 21 は入力された映像信号を時間軸強調して出力する。フレームレート変換回路 11 及び時間軸強調回路 21 の具体的構成及び動作は後述する。時間軸強調回路 21 より出力された映像信号は駆動回路 31 に入力され、駆動回路 31 はホールド型表示装置（表示パネル）の一例としての液晶パネル 41 を駆動してフレーム周波数 90 Hz の映像信号を表示する。

【 0 0 3 2 】

フレームレート変換回路 11 及び時間軸強調回路 21 は一例として図 11 に示すように構成される。図 11 において、フレーム周波数 60 Hz の映像信号は画像メモリ 111 ~ 113 に入力される。画像メモリ 111 ~ 113 にはそれぞれ 1 フレーム分の画像データが書き込み周波数 60 Hz にて書き込まれ、入力映像信号の $3/2$ 倍の速度である読み出し周波数 90 Hz にて同時に読み出される。但し、画像メモリ 112 より出力される画像データは画像メモリ 111 より出力される画像データに対して $1/60$ 秒遅延されたものであり、画像メモリ 113 より出力される画像データは画像メモリ 111 より出力される画像データに対して $2/60$ 秒遅延されたものである。

【 0 0 3 3 】

画像メモリ 111 ~ 113 より読み出された画像データは動きベクトル検出回路 114 及び内挿回路 1151, 1152 に入力される。動きベクトル検出回路 114 は画像メモリ 111 ~ 113 からの 3 フレーム分の画像データを基にし、マッチング法等を用いてフレーム間の動きベクトルを検出する。内挿回路 1151, 1152 は、画像メモリ 111 ~ 113 からの 3 フレーム分の画像データと動きベクトル検出回路 114 にて検出された動きベクトルとを用いて動き補償補間を行う。

内挿回路 1151 より出力された画像データは減算器 212 及び加算器 214 に供給され、内挿回路 1152 より出力された画像データは減算器 212 に供給される。第 4 実施形態の時間軸強調回路 21 は、第 2 実施形態の時間軸強調回路 20' と実質的に同じである。

【 0 0 3 4 】

内挿回路 1151, 1152 における動き補償補間は、フレーム周波数の変換比率が $3/2$ 倍であることから、図 12 に示すようにベクトル移動を行うものである。図 12 において、(A) は内挿回路 1151, 1152 への入力映像信号を、(B) は内挿回路 1151, 1152 からの出力映像信号を示している。入力映像信号のフレーム番号を F1, F2, F3 ... とし、出力映像信号のフレーム番号を f1, f2a, f2b, f3 ... とする。フレーム F1 からフレーム f1 への変換及びフレーム F3 からフレーム f3 への変換は時間位相が一致しているので、ベクトル移動を行わない。フレーム f2a はベクトル移動を行ってフレーム F1, F2 間に挿入され、フレーム f2b はベクトル移動を行ってフレーム F2, F3 間に挿入される。

【 0 0 3 5 】

図 12 (A), (B) の右側には、フレーム F1 ~ F3, フレーム f1 ~ f3 に渡る物体 O の移動の様子を示している。図 12 (A) において、物体 O はフレーム F1 における位置からフレーム F2 における位置へと動きベクトル V_1 にて移動し、フレーム F2 における位置からフレーム F3 における位置へと動きベクトル V_2 にて移動する。図 12 (B) において、フレーム f1, f3 における物体 O の位置はそれぞれフレーム F1, F3 と同じである。フレーム F2 での物体 O の位置を破線にて示している。フレーム f2a の画像を生成するには、フレーム F2 の画像を $-V_1/3$ だけ移動させればよく、フレーム f2b の画像を生成するには、フレーム F2 の画像を $V_2/3$ だけ移動させればよい。

【 0 0 3 6 】

図 12 に示す例では、フレーム f2a, f2b を生成する際、フレーム F2 の画像データのみを用いているが、フレーム F1, F3 の画像データを合成してもよい。この場合、フレーム f2a は、フレーム F1 の画像を $V_1 \times 2/3$ だけ移動した F1' とフレーム F2 の画像を $-V_1 \times 1/3$ だけ移動した F2' を求め、F1' と F2' を 1 : 2 の割合で混合す

10

20

30

40

50

ることによって得られる。また、フレーム $f2b$ は、フレーム $F2$ の画像を $V_1 \times 1/3$ だけ移動した $F2''$ とフレーム $F3$ の画像を $-V_1 \times 2/3$ だけ移動した $F3'$ を求め、 $F2''$ と $F3'$ を 2 : 1 の割合で混合することによって得られる。

ここに示す混合比は一例であり、この例に限定されるものではない。このように、出力映像信号のフレームを生成する際に、最も近接したフレームだけでなくこれに隣接するフレームも加えて内挿を行うと、ノイズを低減することができるという効果を奏する。

【0037】

ここで、図13を用いてフレームレート変換回路11の動作タイミングについて説明する。図13において、(A)はフレーム周波数60Hzの入力映像信号の画像データであり、画像メモリ113~111からは(B)~(D)に示すように画像データが読み出されてフレーム周波数90Hzの映像信号とされる。便宜上、図13(B)~(F)のタイミングを図13(A)タイミングに対して一点鎖線で示すようにずらして図示している。

図13(E)、(F)より分かるように、内挿回路115より出力される画像データは内挿回路115より出力される画像データに対してフレーム周波数90Hzのレートで1フレーム分遅延した関係となっている。これにより、第4実施形態では、第2実施形態と同様、時間軸強調回路21内に画像メモリを設ける必要がない。

【0038】

第4実施形態の他の例として、 m/n を4/3倍としてフレーム周波数を80Hzに変換したり、 m/n を5/4倍としてフレーム周波数を75Hzに変換したり、 m/n を6/5倍としてフレーム周波数を72Hzに変換する等が考えられる。第4実施形態によれば、非特許文献1に記載のバックライトをシャッタする手段を用いる場合と比較して表示パネルに対して動作不安定要因を与えることがなく、有利である。また、前述のように第4実施形態においては回路動作に対して大きな負担とならず、実用上に極めて有効である。

第4実施形態のさらに他の例として、フレームレート変換回路11及び時間軸強調回路21を、図9の第3実施形態のようにセレクタを用いることによって内挿回路を1つとした構成とすることもできる。

【図面の簡単な説明】

【0039】

【図1】本発明の画像表示装置の第1実施形態を示すブロック図である。

【図2】図1中のフレームレート変換回路10の具体的構成例を示すブロック図である。

【図3】図1中のフレームレート変換回路10の動作を説明するための図である。

【図4】図1中の時間軸強調回路20の具体的構成例を示すブロック図である。

【図5】第1実施形態による効果を説明するための図である。

【図6】第1実施形態による効果を説明するための図である。

【図7】本発明の画像表示装置の第2実施形態を示す部分ブロック図である。

【図8】第2実施形態の動作を説明するためのタイミング図である。

【図9】本発明の画像表示装置の第3実施形態を示す部分ブロック図である。

【図10】本発明の画像表示装置の第4実施形態を示すブロック図である。

【図11】第4実施形態の具体的構成例を示す部分ブロック図である。

【図12】図10中のフレームレート変換回路11の動作を説明するための図である。

【図13】第4実施形態の動作を説明するためのタイミング図である。

【図14】ホールド型表示で発生する動画ぼやけを説明するための図である。

【符号の説明】

【0040】

10, 11 フレームレート変換回路

20, 21 時間軸強調回路

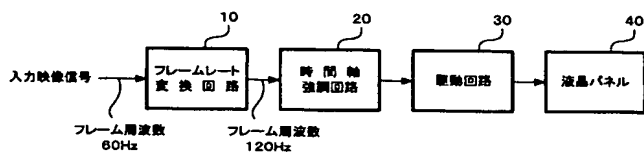
30, 31 駆動回路

40, 41 液晶パネル（表示パネル）

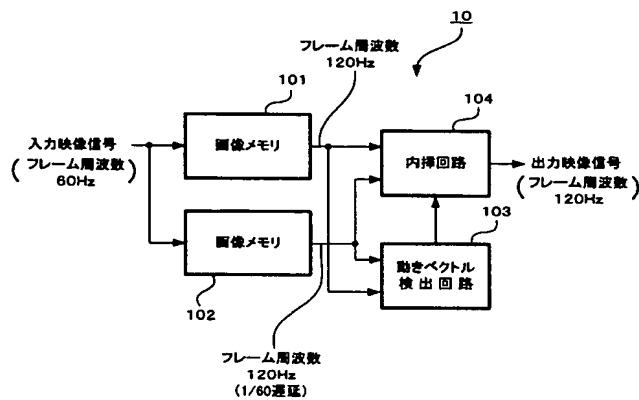
101, 102, 111~113 画像メモリ

103, 114 動きベクトル検出回路
 104, 1041, 1042, 1151, 1152 内挿回路
 1051, 1052 セレクタ

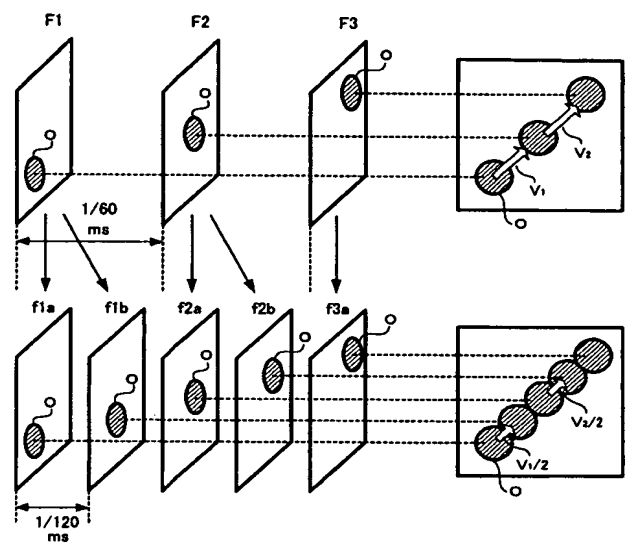
【 図 1 】



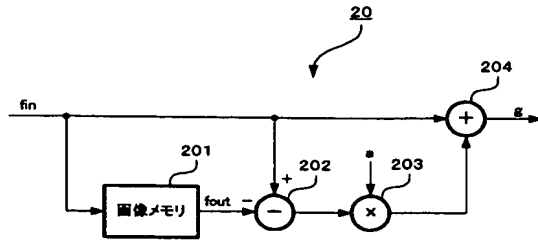
【 図 2 】



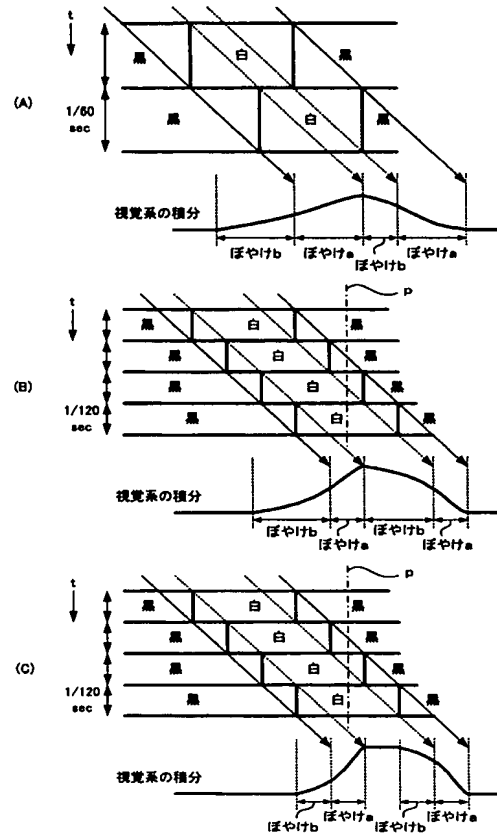
【 図 3 】



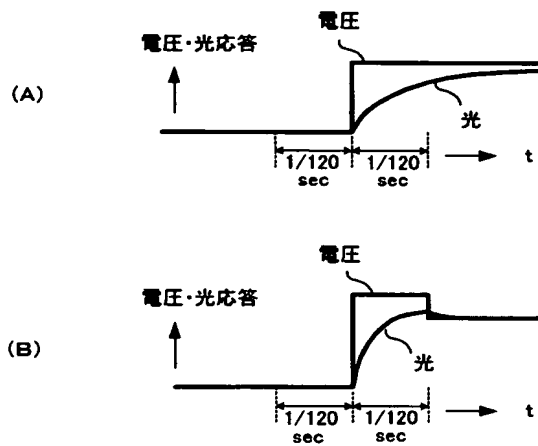
【 図 4 】



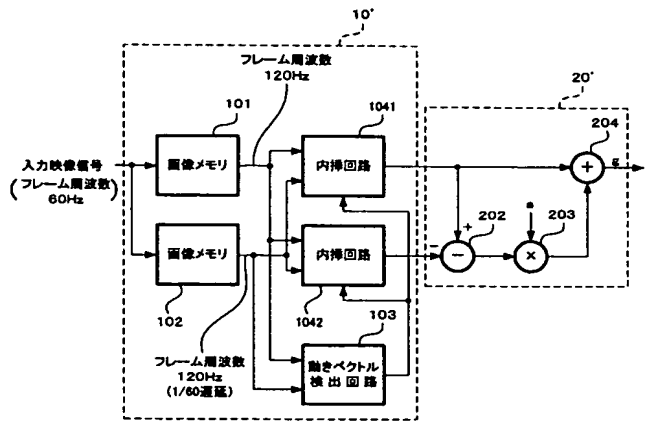
【 図 5 】



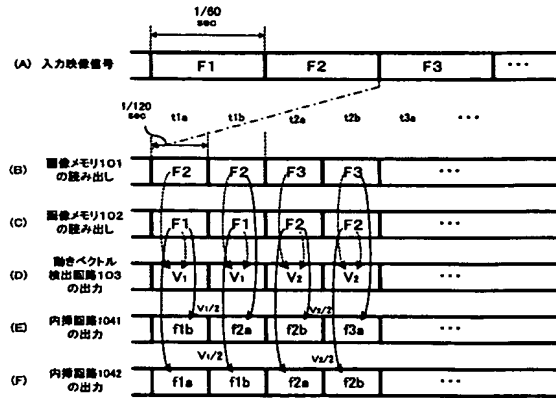
【 図 6 】



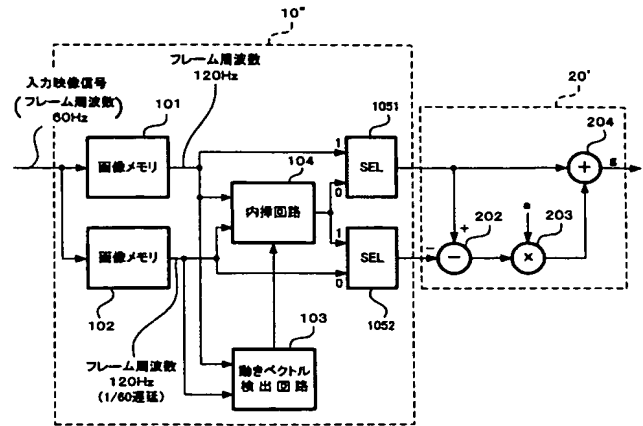
【 図 7 】



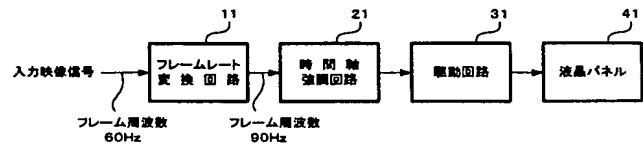
【 図 8 】



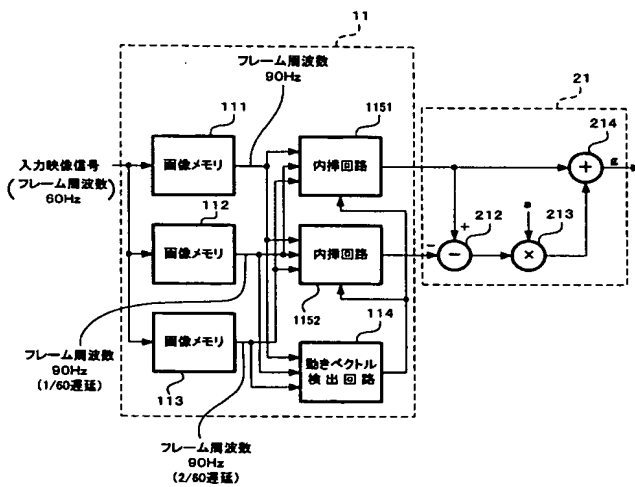
【 図 9 】



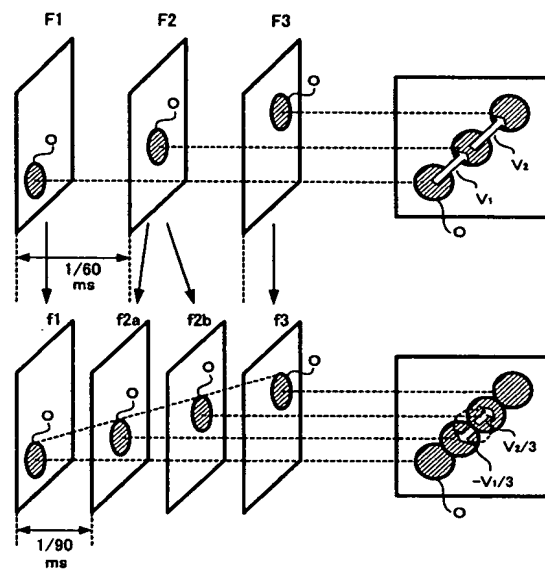
【 ☒ 1 0 】



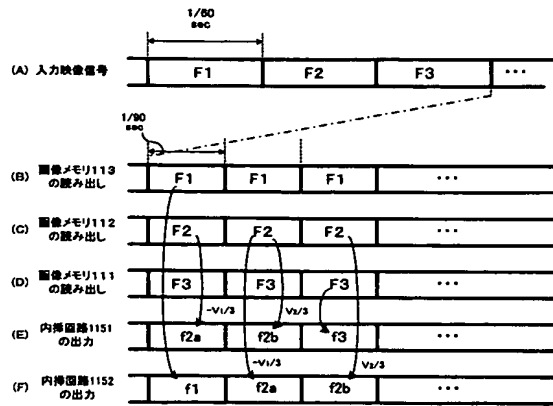
【 図 1 1 】



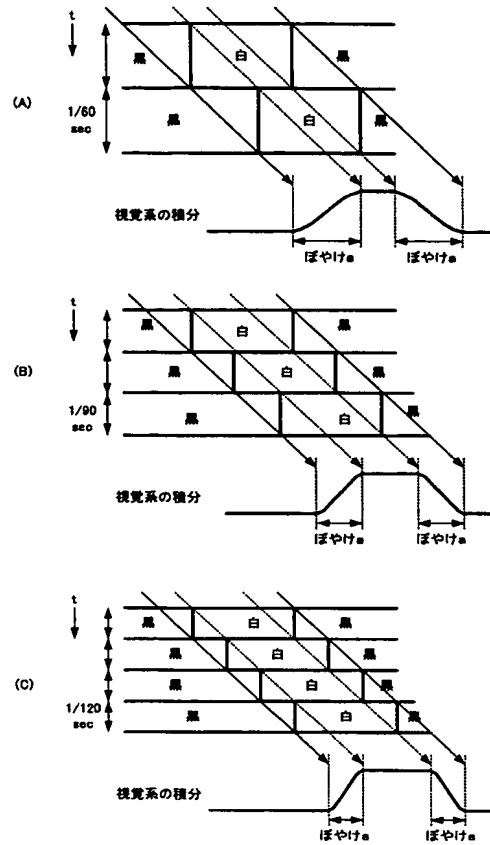
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51) Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 3 2 F
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 6 0 W
H 0 4 N	5/66	1 0 2 Z

F ターム (参考) 5C080 AA06 AA10 BB05 DD04 DD05 DD06 EE19 EE28 FF11 GG12
JJ02 JJ04 JJ05